

## SELF SUBSTRATE BIAS CIRCUIT

Patent Number: JP57142032  
Publication date: 1982-09-02  
Inventor(s): KONDOW TAKEO; others: 01  
Applicant(s): TOKYO SHIBAURA DENKI KK  
Requested Patent:  JP57142032  
Application Number: JP19810028242 19810227  
Priority Number(s):  
IPC Classification: H03K19/094 ; G11C11/34  
EC Classification:  
Equivalents:

### Abstract

PURPOSE: To reduce power consumption even when an oscillating circuit is incorporated in a complementary MOS type semiconductor integrated circuit, by operating the oscillating circuit only as required with an external signal.

CONSTITUTION: An oscillation circuit OSC constitutes a closed loop by cascade-connecting inverters 1 and 2 of CMOS constitution and an NOR gate 3 and feeding back the output of the NOR gate 3 to the input of the inverter 1. A signal E to control the oscillating operation externally is given to the gate of MOS transistors (TRs) QP3 and QN4 of the NOR gate 3 in the oscillation circuit OSC. Further, a drive circuit DR is composed of a CMOS inverter 4, and a charge pump circuit CP consists of N channel MOS TRs QN6 and QN7. When the oscillating operation of the oscillation circuit OSC is desired to be stopped, it is done by setting the signal E to "1" level and the output of the NOR gate 3 to "0".

Data supplied from the [esp@cenet](mailto:esp@cenet) database - I2

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
⑫ 公開特許公報 (A) 昭57-142032

⑥ Int. Cl.<sup>3</sup>  
H 03 K 49/094  
G 11 C 11/34

識別記号

府内整理番号  
7631-5 J  
6549-5 B

⑪ 公開 昭和57年(1982)9月2日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑩自己基板バイアス回路

⑪特 願 昭56-28242  
⑫出 願 昭56(1981)2月27日

⑬發明者 近藤健夫  
川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社トランジス  
タ工場内

⑭發明者 舛岡富士雄

川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社トランジス  
タ工場内

⑮出願人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地

⑯代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

自己基板バイアス回路

2. 特許請求の範囲

- (1) 外部信号によって発振動作が制御される相補型トランジスタによって構成された発振回路と、この発振回路の出力によって駆動されるチャージポンプ回路とを具備したことを特徴とする自己基板バイアス回路。  
(2) 前記発振回路は、相補型トランジスタ構成の奇数個の反転回路による閉ループによって構成され、このうちの一つの反転回路に外部信号を与えてその反転動作を制御することにより発振動作制御を行なうようにした特許請求の範囲第1項に記載の自己基板バイアス回路。

3. 発明の詳細な説明

この発明は、相補型MOS形半導体集積回路に適した自己基板バイアス回路に関する。

MOS形半導体集積回路、特にMOS形ダイ

タルメモリでは高集成化とともに動作速度の高速化が図られているが、いまだバイポーラ形の集積回路に比較してその動作速度は遅いものとなつていて。その最大の理由は、MOSトランジスタのコンダクタンスがバイポーラトランジスタのものよりも小さいため、負荷容量の充放電に時間がかかることがある。このためMOS形半導体集積回路では、従来、たとえばNチャネルのものであれば電源として $V_{DD} = +5V$ ,  $V_{SS} = 0V$ の他にいわゆるバッケートバイアス用として $V_{BB} = -5V$ を用意し、この $V_{BB}$ を集積回路のP形基板に印加することによって、基板とソースおよびドレインとの間の容量を減少させ、これにより動作速度の高速化を図るようにしている。しかしながら上記のようにすると $V_{BB}$ 電源が別に必要となるばかりではなく、 $V_{BB}$ 印加用の外部端子が必要となるために高集成化が阻害されるという問題が生じる。

そこでさらに従来では上記のような問題を解

決するために、MOS形半導体集積回路内に負電圧を発生させるための自己基板バイアス回路を一体化形成したものが開発、実用化されている。この自己基板バイアス回路は第1図に示すように、ダイプレツション形（以下D形と略称する）のMOSトランジスタQ<sub>1</sub>とエンハンスマント形（以下E形と略称する）のMOSトランジスタQ<sub>2</sub>とからなるE/D形のインバータINVの、入力端と出力端との間にB形のMOSトランジスタQ<sub>3</sub>を介接してなる発振回路OSCと、D形のMOSトランジスタQ<sub>4</sub>とB形のMOSトランジスタQ<sub>5</sub>とからなり上記発振回路OSCの出力を波形整形するE/Dのインバータによる駆動回路DRと、その一端が上記駆動回路DRの出力端に接続された容量C、この容量Cの他端とV<sub>BB</sub>(0V)印加点との間に挿入されたE形のMOSトランジスタQ<sub>6</sub>および容量Cの他端と基板Subとの間に挿入されたB形のMOSトランジスタQ<sub>7</sub>からなるチャージポンプ回路CPとから構成されている。

いる。さらに最近では動作速度の高速化の要求は相補型MOS形半導体集積回路（以下CMOS・ICと略称する）でも強まり、このCMOS・ICにも自己基板バイアス回路を採用しようという動きが高まっている。しかしながらCMOS・ICに従来の自己基板バイアス回路を採用する場合では、消費電力の増加という問題が発生する。すなわち、自己基板バイアス回路以外の論理回路が動作していない時でも、自己基板バイアス回路内の発振回路は動作することになるため、この自己基板バイアス回路自体が大きな電力を消費してしまう。

この発明は上記のような事情を考慮してなされたものであり、その目的は、外部信号によつて発振回路を必要時にのみ動作させることによつて、相補型MOS形半導体集積回路内に一体化形成した場合であつても電力消費を少なくすることができる自己基板バイアス回路を提供することにある。

以下図面を参照してこの発明の一実施例を説

なお、上記NOSトランジスタQ<sub>1</sub>～Q<sub>7</sub>はすべてNチャネルのものであり、V<sub>DD</sub>はたとえば+5Vの正極性電源である。

このような構成において、発振回路OSCはたとえば1MHzで発振し、駆動回路DRからは波形整形されたパルス信号が出力される。チャージポンプ回路CP内の二つのMOSトランジスタQ<sub>8</sub>、Q<sub>9</sub>はダイオードつなわちポンプの井として作用し、基板Subから正の電荷を吸い上げるため、発振回路OSCが発振を開始すると基板Subは負に帯電する。この結果、OSC発振開始後所定時間が経過すると基板Subは負極性の一定電位たとえば約-2.5V程度に保持され、前記のように外部から負電圧を印加した場合と同様に、基板Subと各MOSトランジスタのソースおよびドレインとの間の容量の減少が図られる。

上記のように自己基板バイアス回路を用いて動作速度の高速化を図ることは、特にNチャネルのスタティック形RAMでは広く利用されて

いる。

第2図においてOSCは発振回路であり、この発振回路OSCはPチャネルのMOSトランジスタQ<sub>P1</sub>、Q<sub>P2</sub>、それぞれとNチャネルのMOSトランジスタQ<sub>N1</sub>、Q<sub>N2</sub>、それぞれとからなるCMOS構成のインバータ1、2と、それぞれ2個のPチャネルのMOSトランジスタQ<sub>P3</sub>、Q<sub>P4</sub>およびNチャネルのMOSトランジスタQ<sub>N3</sub>、Q<sub>N4</sub>からなるCMOS構成のNORゲート3とを並列接続し、さらにNORゲート3の出力をインバータ1に帰還することによって閉ループを形成して構成されているリンク発振回路の一様である。そしてこの発振回路OSC内のNORゲート3のMOSトランジスタQ<sub>P3</sub>、Q<sub>N3</sub>、それぞれのゲートには、この発振回路OSCの発振動作を外部から制御するための信号Eが与えられる。

DRは上記発振回路OSCの出力を波形整形するための駆動回路であり、PチャネルのMOSトランジスタQ<sub>P5</sub>とNチャネルのMOSトランジ

トランジスタ  $Q_{N1}$ 、とからなる CMOS構成のインバータによって構成されている。

また CP はチャージポンプ回路であり、従来と同様に容量 C と 2 個の N チャネルの MOSトランジスタ  $Q_{N2}$ 、 $Q_{N3}$  とから構成されている。

そして上記発振回路 OSC、駆動回路 DR およびチャージポンプ回路 CP からなるこの発明の自己基板バイアス回路は、図示しない他の相補型 MOS 形構成の論理回路とともに同一の半導体基板内に一体化形成され、チャージポンプ回路 CP 内のトランジスタ  $Q_{N4}$  のドレイン、ゲート接続点は N チャネル MOS トランジスタが形成されている P 型の基板あるいはウエル領域等の P 型領域に接続されている。なお、第 2 図において  $V_{DD}$  はたとえば +5V の正極性電源であり、 $V_{SS}$  は 0V である。

また第 3 図は上記第 2 図に示す実施例回路の等価回路図であり、図中のダイオード 5、6 は前記 MOS トランジスタ  $Q_{N5}$ 、 $Q_{N6}$  に相当している。

させるようにしたので、相補型 MOS 形半導体集積回路内に一体化形成した場合であつても電力消費を少なくすることができる。

この発明は上記した一実施例に限定されるものではなく、たとえば発振回路 OSC は 2 個のインバータ 1、2 と NOR ゲート 3 とから構成され、この NOR ゲート 3 に与えられる信号 E を "0" レベルに設定したときに発振する場合について説明したが、これはたとえば第 4 図に示すように NOR ゲートの代りにそれぞれ 2 個の P チャネルの MOS トランジスタ  $Q_{P1}$ 、 $Q_{P2}$ 、および N チャネル MOS トランジスタ  $Q_{N1}$ 、 $Q_{N2}$  からなる NAND ゲート 4 を用い、この NAND ゲート 4 に与えられる信号 E' を "1" レベルに設定したときにこの NAND ゲート 4 を反転回路として作用させて発振動作させるようとしてもよく、また発振回路もリング発振回路である必要はなく、要するに外部信号によつてその発振動作が制御可能なものであればどのようなものでもよい。さらに上記実施例ではチ

上記のような構成において、いま自己基板バイアス回路以外の論理回路が動作中のとき、信号 B が "0" レベル ( $V_{SS}$  レベル) に設定される。このとき発振回路 OSC 内の NOR ゲート 3 がインバータ 2 の出力を反転するため、発振回路 OSC は発振動作する。したがつてチャージポンプ回路 CP からは負極性の所定電圧が供給され、N チャネル MOS トランジスタが形成されている P 型領域には負極性のバイアスが印加されるので、動作速度の高速化が図られる。

一方、論理回路が非動作中のときには信号 B が "1" レベル ( $V_{DD}$  レベル) に設定される。このとき NOR ゲート 3 の出力は無条件に "0" レベルになり、インバータ 2 の出力を反転しないので、発振回路 OSC の発振動作が停止する。したがつて、信号 B が "1" レベルのとき、この自己基板バイアス回路における電力消費はほとんど零となる。

このように上記実施例によれば、負極性のバイアスが必要な時にのみ発振回路 OSC を動作

チャージポンプ回路 CP において P 型領域から正の電荷を吸い上げ、この P 型領域を負極性の電位に保持する場合について説明したが、これは第 3 図に示す等価回路における 2 個のダイオード 5、6 それぞれが逆極性接続となるように回路を構成し、チャージポンプ回路 CP から正極性のバイアスを得るようにもよい。

以上説明したようにこの発明によれば、チャージポンプ回路を駆動するための発振回路を外部信号によつて必要時にのみ動作させるようにしたので、相補型 MOS 形半導体集積回路内に一体化形成した場合であつても電力消費を少なくすることができる自己基板バイアス回路を提供することができる。

#### 4. 図面の簡単な説明

第 1 図は従来の自己基板バイアス回路の構成図、第 2 図はこの発明に係る自己基板バイアス回路の構成図、第 3 図は上記実施例回路の等価回路図、第 4 図はこの発明の变形例の構成図である。

1 . 2 , 4 … CMOS 構成のインバータ、3  
 … CMOS 構成の NOR ゲート、5 , 6 … ダイ  
 オード、7 … CMOS 構成の NAND ゲート、  
 OSC … 電振回路、DR … 驅動回路、CP … チ  
 ャージポンプ回路、Q<sub>P1</sub> ~ Q<sub>P7</sub> , … P チャネル  
 の MOS トランジスタ、Q<sub>N1</sub> ~ Q<sub>N9</sub> , … N チャ  
 ネルの MOS トランジスタ、

出願人代代理人 奉理士 岩 井 武彦

図 1 図

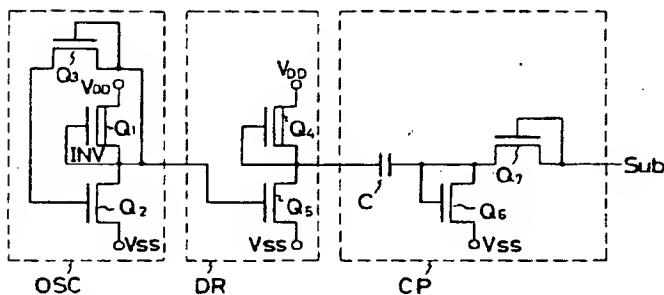


図 3 図

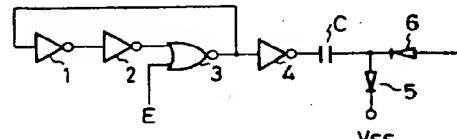


図 2 図

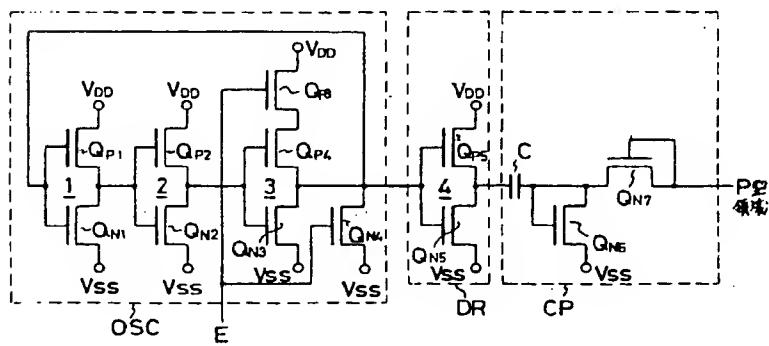


図 4 図

